

Int. Cl.<sup>3</sup>  
G 06 F 1/00

대한민국특허청(KR)

제 448 호

공개실용신안공보(U)

공개일자 서기 1991. 5. 29

공개번호 91-7741

출원일자 서기 1989. 10. 23

출원번호 89-15405

심사청구: 없음

고안자 이명규 충청북도 청주시 사직2동 사직아파트 141/203

출원인 금성계전 주식회사 대표이사 백중영

서울특별시 영등포구 여의도동 20번지

대리인 변리사 박장원

### ⑤시모스회로의 백-업전원회로

#### ⑦실용신안 등록청구의 범위

1. 시모스소자(1), (2), (3)가 적류전원부(4)에 연결되어 전원이 공급될때, 콘덴서(C1)가 기억용시모스소자(2)와 병렬접속되고, 다이오드(D1), (D2) 및 저항(R1), (R2)이 접속되어 구성된 시모스회로의 백-업전원회로에 있어서, 상기 적류전원부(4)를 전원차단시 전원공급을 제어하는 전원제어회로(5)를 통해 상기 시모스소자(1), (3) 및 저항(R1)에 연결하여 구성한 것을 특징으로 하는 시모스회로의 백-업전원회로.

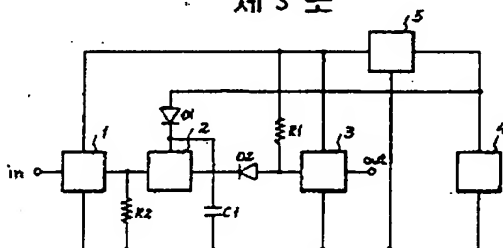
2. 제1항에 있어서, 상기 적류전원부(4)를 피엠펙트랜지스터(TR2)의 에미터 및 제너다이오드(ZD1)의 캐소드에 접속하고, 그 제너다이오드(ZD1)의 애노우드를 상기 피엠펙트랜지스터(TR2)의 베이스에 컬렉터를 접속한 엔피엠펙트랜지스터(TR1)의 베이스 및 저항(R11)에 접속하며, 상기 피엠펙트랜지스터(TR2)의 컬렉터를 출력단으로 하여 상기 시모스소자(1), (3) 및 상기 저항(R1)에 연결하도록 전원제어회로(5)를 구성한 것을 특징으로 하는 시모스회로의 백-업전원회로.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

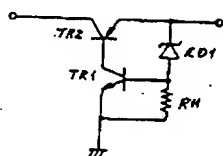
#### 도면의 간단한 설명

제3도는 본 고안 시모스회로의 백-업전원회로도, 제4도는 제3도의 전원제어회로(5)의 상세회로도, 제5도는 제3도에 따른 전원차단시 공급전원 특성파형도.

제 3 도



제 4 도



제 5 도

